

PATENT  
81912.0016

Express Mail Label No. EV 324 111 843 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Hidetoshi SAITO

Serial No: Not assigned

Filed: January 14, 2004

For: Semiconductor Device and a Method for  
Checking State Transition Thereof

Art Unit: Not assigned

Examiner: Not assigned

**TRANSMITTAL OF PRIORITY DOCUMENT**

Mail Stop PATENT APPLICATION

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

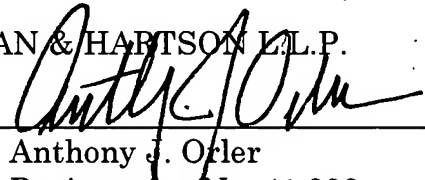
Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2003-019696 which was filed January 29, 2003, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON LLP.

By:   
Anthony J. Orler  
Registration No. 41,232  
Attorney for Applicant(s)

Date: January 14, 2004

500 South Grand Avenue, Suite 1900  
Los Angeles, California 90071  
Telephone: 213-337-6700  
Facsimile: 213-337-6701

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   1 月 2 9 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 0 1 9 6 9 6  
Application Number:

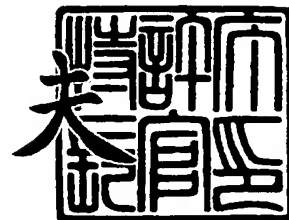
[ST. 10/C] :            [ J P 2 0 0 3 - 0 1 9 6 9 6 ]

出      願      人            株 式 会 社 東 芝  
Applicant(s):

2 0 0 3 年   9 月   9 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 46B0192921

【あて先】 特許庁長官殿

【国際特許分類】 G11C 29/00

【発明の名称】 半導体装置およびその状態遷移チェック方法

【請求項の数】 11

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝  
マイクロエレクトロニクスセンター内。

【氏名】 斉藤 栄俊

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083161

【弁理士】

【氏名又は名称】 外川 英明

【電話番号】 (03)3457-2512

【手数料の表示】

【予納台帳番号】 010261

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその状態遷移チェック方法

【特許請求の範囲】

【請求項 1】 現在の内部状態を示す状態コードを保持する状態コードレジスタと、  
前記状態コードレジスタからの状態コードと、所望の状態への遷移を指示するコマンドとが入力され、これらに基づいてあらかじめ定められた論理に従って次に遷移すべき内部状態の状態コードを決定し、内部クロックに同期して前記決定した状態コードを前記状態コードレジスタに設定する状態遷移ロジック手段と、  
検出したい内部状態を期待値コードとして保持する期待値レジスタと、  
前記状態遷移ロジック手段によって前記状態コードレジスタに設定された前記状態コードと前記期待値レジスタの前記期待値コードとを比較し、これらが一致したときに一致信号を出力する比較手段と、  
を有することを特徴とする半導体装置。

【請求項 2】 現在の内部状態での滞留期間を内部クロックに同期してカウントするタイマー手段をさらに有し、  
前記状態遷移ロジック手段は、前記タイマー手段からのカウント値がさらに入力され、次に遷移すべき内部状態の状態コードの決定は、前記タイマー手段からの前記カウント値にさらに基づくことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記タイマー手段は、前記比較手段からの前記一致信号を受けて、そのカウント動作を停止またはリセットし、  
前記状態遷移ロジック手段は、前記タイマー手段からのカウント値に基づいて内部状態の遷移を停止することを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 前記比較手段からの前記一致信号を受けて、前記状態遷移ロジック手段に対して内部割込みコマンドを生成する内部割込み発生手段をさらに有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 前記内部割込み発生手段は、通常モードとテストモードのどちらか一方を選択するテストコマンドと、外部からの割込み動作を示す割込みコマンドとをさらに受けて、通常モードでは前記割込みコマンドを、テストモードでは

前記内部割込みコマンドを、前記状態遷移ロジック手段に出力することを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 前記比較手段からの前記一致信号を外部に通知する手段を有することを特徴とする請求項 1 乃至請求項 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】 現在の内部状態を示す状態コードと、所望の状態への遷移を指示するコマンドとに基づいて、あらかじめ定められた論理に従って次に遷移すべき内部状態の状態コードを決定し、内部クロックに同期して前記決定した状態コードを状態コードレジスタに設定する状態遷移ステップと、

検出したい内部状態を期待値コードとして期待値レジスタに設定する期待値設定ステップと、

前記状態遷移ステップで状態コードレジスタに設定された前記状態コードと、前記期待値設定ステップで期待値レジスタに設定された前記期待値コードとを比較し、これらが一致したときに一致信号を出力する比較ステップと、  
を有することを特徴とする半導体装置の状態遷移チェック方法。

【請求項 8】 前記状態遷移ステップにおける次に遷移すべき内部状態の前記状態コードの決定は、現在の内部状態での滞留期間を示すカウント値にさらに基づくことを特徴とする請求項 7 に記載の半導体装置の状態遷移チェック方法。

【請求項 9】 前記比較ステップにおいて前記一致信号が出力された場合に、これを受けて、あらかじめ定められた特定の内部状態への遷移を除いて、現在の内部状態からの遷移が起こらないようにしたことを特徴とする請求項 7 に記載の半導体装置の状態遷移チェック方法。

【請求項 10】 前記比較ステップにおいて前記一致信号が出力された場合に、これを受けて、あらかじめ定められた内部状態に遷移する内部割込みコマンドを生成する内部割込み発生ステップをさらに有することを特徴とする請求項 7 に記載の半導体装置の状態遷移チェック方法。

【請求項 11】 内部状態を評価または解析する外部装置の外部トリガ信号として前記比較ステップで出力される前記一致信号を用いることを特徴とする請求項 7 乃至請求項 10 のいずれか 1 項に記載の半導体装置の状態遷移チェック方法。

【発明の詳細な説明】

**【0001】****【発明の属する技術分野】**

本発明は、内部状態の遷移を制御する状態遷移機構を有する半導体装置およびその状態遷移チェック方法に関する。特に、不揮発性メモリ部などが設けられ、タイマー回路を用いて一部の状態遷移を自律的に行う機能を有する半導体装置の評価効率向上に関する。

**【0002】****【従来の技術】**

不揮発性メモリなどの非同期型メモリセルを搭載した半導体装置では、セルの書込み、消去に要する時間が非常に長く、また、セル部はその製造過程により、書込みおよび消去特性に大きなばらつきが生じ、書込み時間、消去時間をセルごとに最適化する必要がある。

**【0003】**

このような目的を達成するため、各セルへの書込み、消去後に自動的にベリファイを実行する方法が提案されている（例えば、特許文献1。）。

**【0004】**

図6は従来の半導体装置における不揮発性メモリセルへの書込み動作を示すフローチャートである。書込み動作は、初期化ステップ101、プログラムステップ102、回数更新ステップ103、ベリファイステップ104、ベリファイ判定ステップ105、回数判定ステップ106、データ更新ステップ107、後処理ステップ108、エラー設定ステップ109、より構成され、セルごとに書込み時間が最適化されるように実行される。

**【0005】**

すなわち、書込みコマンドが入力されると、まず、初期化ステップ101で、書込みアドレスと書込みデータが取り込まれラッチされる。次に、プログラムステップ102で、書込みアドレスで指定されたセルに書込みデータに基づいて書込み電圧が与えられ、そのセルのフローティングゲートに電子を注入することで実際に書込みが行われる。セルへの書込みは8ビットまたは16ビットの単位で複数セルに対して同時に行われ、1回の書込み時間は1～2  $\mu$ s 程度である。

**【0006】**

次に、回数更新ステップ103で書込み回数のカウントアップが行われた後、ベリファイスステップ104で、いま書き込んだデータが読み出される。

**【0007】**

次に、ベリファイ判定ステップ105で、その読出しデータと書込みデータが比較される。フローティングゲートに注入された電子の量によって、セルトランジスタのしきい値が変化するので、十分な量の電子が注入されれば、読出しデータの値は書込みデータと一致し、反対に電子の注入が不十分であれば、しきい値の変化は小さく、読出しデータと書込みデータは一致しない。

**【0008】**

この比較結果に従って、後処理ステップ108と回数判定ステップ106のどちらか一方が選択される。すなわち、読出しデータと書込みデータが一致すれば（OK）、後処理ステップ108が選択され、一致しなければ（NG）、回数判定ステップ106が選択される。ここで、同時に書込み動作が行われた複数のセルすべてに対して、その読出しデータが書込みデータとそれぞれ一致していることが必要であるため、1ビットでも不一致のセルがあれば、回数判定ステップ106が選択される。

**【0009】**

後処理ステップ108では、セルに与えていた電圧を初期状態に戻して、書込み動作が終了する。

**【0010】**

回数判定ステップ106では、これまで行われた書込みの回数が所定の値と比較され、所定の値を越えていなければ（OK）、さらに電子を注入するためにデータ更新ステップ107が選択され、その後再度プログラムステップ102を繰り返す。また、書込み回数が所定の値を越えていた場合には（NG）、エラー設定ステップ109が選択され、その後、後処理ステップ108を経て書込み動作が終了する。

**【0011】**

データ更新ステップ107では、ベリファイスステップ104で読み出された読

出しデータのうち、書込みデータと一致したビット、つまり、十分な電子がフローティングゲートに注入されたセルを選別し、次のプログラムステップ102でそのセルが書き込みされないようにマスクデータを更新する。これは、セルトランジスタのしきい値がビットごとに大きくばらつくことをできるだけ抑えて、読出し動作や消去動作などでの回路動作を安定化させるためである。

#### 【0012】

エラー設定ステップ109では、エラーフラグをセットして、書込み動作が正常に終了しなかったこと、つまり、セルデータが正しくないことを記録する。その後、後処理ステップ108を経て、書込み動作が終了する。

#### 【0013】

このように、書込み動作では、回数オーバーでエラーになる場合を除いて、同時に書き込む8ビットまたは16ビットのセルがすべて正しく書き込まれるまで、プログラムステップ102を繰り返すことになる。このため、1回の書込み動作には数10 $\mu$ s程度の時間が必要で、100ns程度の他のコマンドサイクルに比べると非常に長く、システムに組み込んだときに障害になることが予想される。これを回避するため、書込み動作または消去動作中に外部からの割込みを受けて、これらの動作を中断または中止できるようになっている。中断の場合は、あとでその動作を再開できるよう、アドレスやデータをレジスタ回路などに保持しておく。また、割込みが発生してから、それまでの動作を中断して別のコマンドを入力できるようになるまでのリードタイムをできるだけ短くするために、図6の各ステップにおいては、その割込みに対応する処理を実行できるようになっている。

#### 【0014】

このような複雑な動作を制御するため、内部状態の遷移機構が組み込まれており、どのようなタイミングで割込みが入力されても、最少のリードタイムで対応できるようになっている。

#### 【0015】

ところで、上記のような半導体装置を評価する際に、この割込みによる動作の変更をすべて確かめなければならないという問題がある。言葉をかえて言えば、



数  $10\ \mu\text{s}$  の間のどこで割込みをかけても、その半導体装置が正しく動作することを保証しなければならないということである。特に、外部信号を非同期で入力することを許すような半導体装置では、この問題は深刻であり、評価と不良解析に膨大な時間を費やすこととなる。

#### 【0016】

単純にタイミングをずらしながら、割込みコマンドを入力していく評価方法では、書込み動作で数  $100$  倍～数  $1000$  倍の評価時間が必要であり、すべてのタイミングですべてのコマンドの組合せを評価することは、現実的にはほとんど不可能といってよい。

#### 【0017】

また、不良再現や不良解析、特に、針あたりによる内部信号波形の観察などにおいては、数  $10\ \mu\text{s}$  中の数  $\text{ns}$  しかない信号波形を観察する必要がある、このためのトリガ信号を作るのが極めて困難であるという問題もある。

#### 【0018】

さらに、消去動作は書込み動作より長く、1回の消去動作で  $1\ \text{s}$  程度もの時間を必要とし、上記のような評価、不良解析はさらに困難となる。

#### 【0019】

##### 【特許文献1】

特開平2-142000号公報

#### 【0020】

##### 【発明が解決しようとする課題】

上述のごとく、従来の半導体装置は、不揮発性メモリセル部の書込み動作および消去動作中の割込みコマンドなどの評価、解析に膨大な時間を要するという問題があった。

#### 【0021】

本発明は、上記問題点を解決するためになされたもので、状態遷移制御機構による状態遷移を容易に評価、解析することができる半導体装置およびその状態遷移チェック方法を提供することを目的とする。

#### 【0022】

**【課題を解決するための手段】**

上記目的を達成するために、本発明の半導体装置は、現在の内部状態を示す状態コードを保持する状態コードレジスタと、前記状態コードレジスタからの状態コードと、所望の状態への遷移を指示するコマンドとが入力され、これらに基づいてあらかじめ定められた論理に従って次に遷移すべき内部状態の状態コードを決定し、内部クロックに同期して前記決定した状態コードを前記状態コードレジスタに設定する状態遷移ロジック手段と、検出したい内部状態を期待値コードとして保持する期待値レジスタと、前記状態遷移ロジック手段によって前記状態コードレジスタに設定された前記状態コードと前記期待値レジスタの前記期待値コードとを比較し、これらが一致したときに一致信号を出力する比較手段と、を有することを特徴としている。

**【0023】**

本発明によれば、所望の内部状態に遷移したときに一致信号が出力されるので、状態遷移制御機構による状態遷移を効率良く評価、解析できる半導体装置を実現することができる。

**【0024】**

また、本発明の半導体装置の状態遷移チェック方法は、現在の内部状態を示す状態コードと、所望の状態への遷移を指示するコマンドとに基づいて、あらかじめ定められた論理に従って次に遷移すべき内部状態の状態コードを決定し、内部クロックに同期して前記決定した状態コードを状態コードレジスタに設定する状態遷移ステップと、検出したい内部状態を期待値コードとして期待値レジスタに設定する期待値設定ステップと、前記状態遷移ステップで状態コードレジスタに設定された前記状態コードと、前記期待値設定ステップで期待値レジスタに設定された前記期待値コードとを比較し、これらが一致したときに一致信号を出力する比較ステップと、を有することを特徴としている。

**【0025】**

本発明によれば、所望の内部状態に遷移したときに一致信号が出力されるので、状態遷移制御機構による状態遷移を効率良く評価、解析できる半導体装置の状態遷移チェック方法を実現することができる。

**【0026】****【発明の実施の形態】**

以下、図面を参照しながら本発明の実施の形態（以下実施形態という）を説明する。

**【0027】****（第1の実施形態）**

図1は、本発明の第1の実施形態に係わる半導体装置を示す回路ブロック図である。ここでは、不揮発性メモリ装置の書込み動作とその割込みコマンドの一つであるプログラムサスペンド（以下、PSUSという）を用いて、本発明に係わる状態遷移制御機構を説明する。メモリセル部に関連する回路ブロックや動作の詳細は、一般的な不揮発性メモリ装置と同様なので省略する。

**【0028】**

図1に示すように、本発明の半導体装置は、外部からの信号を受けてコマンドや制御信号を生成する制御回路11、現在の内部状態や入力されたコマンドに基づいて次の内部状態を決定する状態遷移ロジック部12、現在の内部状態での滞留期間をカウントするタイマー回路13、現在の内部状態を保持する状態コードレジスタ14、外部から入力されたデータを保持する入力バッファ15、検出すべき内部状態を保持する期待値レジスタ16、現在の内部状態と期待値を比較し一致信号を出力する比較回路17、を持っている。

**【0029】**

制御回路11は、制御入力端子CMD18を持ち、入力コマンドに基づいて、所望の内部状態遷移を指示するコマンドを生成し、これを状態遷移ロジック部12に出力する。また、現在の内部状態と入力コマンドに基づいて、状態遷移ロジック部12および入力バッファ15をはじめとする本半導体装置内にある各回路ブロックの制御に必要な制御信号を生成し、コントロールバスなどを介してそれぞれの回路ブロックに供給する。

**【0030】**

状態遷移ロジック部12は、現在の内部状態と制御回路11から受け取ったコマンドとタイマー回路13から受け取ったカウント値とをもとに、内部クロック

の次のサイクルで遷移すべき内部状態を決定し、これを状態コードとして状態コードレジスタ 14 に出力する。また、新しい内部状態に遷移したときに、あらかじめ定められているその内部状態の滞留期間（内部クロックのサイクル数）をタイマー回路 13 に通知する。

#### 【0031】

ここでいう内部状態とは、状態遷移ロジック部 12 で決定された状態コードに基づいて、内部クロックに同期してその論理状態が変化する周辺論理回路全体の論理状態を識別する概念で、それらはあらかじめ定められた状態コードによって一意に識別されるものである。メモリセル周辺のアナログ的な動作状態や、内部クロックに同期しない論理回路の状態、あるいは、非同期入力に直接連動して動作する回路の状態、などは含まないものとする。

#### 【0032】

これらの例としては、メモリセルのしきい値、ワード線の電圧レベル、高電圧発生回路や内部降圧回路、出力のハイインピーダンス化、などがある。

#### 【0033】

タイマー回路 13 は、新しい内部状態へ遷移したときに、状態遷移ロジック部 12 からその内部状態の滞留期間を内部クロックのサイクル数として受け取り、これを内部クロックに同期してカウントダウンしながら状態遷移ロジック部 12 へカウント値としてフィードバックする。

#### 【0034】

不揮発性メモリセルからなるメモリ部を有する半導体装置では、不揮発性メモリセルの書込み動作や消去動作に長い時間を必要とするので、このタイマー回路 13 による内部状態の滞留期間設定は必須の機能である。

#### 【0035】

状態コードレジスタ 14 は、内部クロックに同期して状態遷移ロジック部 12 から受け取った現在の状態コードを保持し、これを状態遷移ロジック部 12 にフィードバックするとともに、制御回路 11 および比較回路 17 に出力する。

#### 【0036】

入力バッファ 15 は、データ入力端子 I/O 19 を持ち、制御回路 11 からの

信号に従って、入力されたデータを取り込むと同時に、これを期待値として期待値レジスタ 16 に出力する。ここでいう期待値とは、検出すべき状態コードと同じ値で、評価者がある定められた手順に従って外部から入力する。通常の手書きデータなども同じデータ入力端子 I/O 19 と入力バッファ 15 を使用するが、これらは制御回路 11 によってデータバスへ出力される。

#### 【0037】

期待値レジスタ 16 は、入力バッファ 15 から受け取った期待値を保持し、これを比較回路 17 へ出力する。

#### 【0038】

比較回路 17 は、状態コードレジスタ 14 が保持する状態コードと、期待値レジスタ 16 が保持する期待値とを受け取り、これらを比較し、一致すれば一致信号を出力端子 EQ 20 を介して出力する。

#### 【0039】

次に、このような構成の状態遷移制御機構の動作を、状態遷移図を用いて説明する。図 2 は、本発明の第 1 の実施形態に係わる半導体装置の状態遷移図である。ここでは、メモリセル部への書き込み動作と P S U S コマンドに関連した内部状態の状態遷移を図示している。

#### 【0040】

図中のボックスは内部状態を表し、それぞれに状態コード (code) と滞留期間 (cycle) が割り当てられている。

#### 【0041】

また、矢印は状態遷移を表し、矢印についているラベルはその状態遷移を引き起こすコマンドまたは状態フラグの条件を示している。コマンドは制御入力端子 CMD 18 への入力コマンドに基づいて制御回路 11 で生成される。状態フラグは複数のビットからなるフラグの集まりで、各フラグはその内部状態での動作の結果として設定、解除がなされる。

#### 【0042】

ラベルのない矢印は、その内部状態での滞留期間が経過したときに、タイマー回路 13 のカウント値により自律的に起こる状態遷移である。つまり、カウント

値が“0”になると自動的に内部状態が遷移することを意味している。

#### 【0043】

内部状態の遷移にはあらかじめ優先順位が定められており、コマンドによる遷移、状態フラグによる遷移、カウント値によるデフォルト遷移、の順である。すなわち、状態遷移ロジック部12は、内部クロックに同期して、まず、制御回路11からのコマンドの有無を検査し、現在の内部状態で遷移が定義されているコマンドが入力されていれば、その遷移先の内部状態を次の状態コードとして状態コードレジスタ14に出力する。

#### 【0044】

また、定義されているコマンドの入力がなければ、状態遷移ロジック部12は、次に、タイマー回路13からのカウント値を調べ、これが“0”でなければ、それはこの内部状態の滞留期間がまだ経過していないことを示しているので、現在の状態コードをそのまま次の状態コードとして状態コードレジスタ14に出力する。もし、カウント値が“0”であれば、次に、状態遷移ロジック部12は状態フラグの内容を調べる。

#### 【0045】

状態フラグの内容がその内部状態で遷移が定義されているフラグとその値に一致すれば、その遷移先の状態コードを状態コードレジスタ14に出力する。さらに、定義されたコマンド入力がなく、状態フラグも遷移条件を満たしていなければ、状態遷移ロジック部12は、最後に、あらかじめ定められたデフォルトの遷移先を次の状態コードとして、状態コードレジスタ14に出力する。

#### 【0046】

書込み動作に関連した内部状態には、図2に示すように、待機状態30、初期化状態31、プログラム状態32、ペリフェイ状態33、後処理状態34、サスペンド状態35、がある。

#### 【0047】

待機状態30は、コマンド入力待ちの状態であり、状態コードに“0”が割り当てられている。また、この待機状態30には滞留期間が定められていない。これは、コマンド入力があるまではこの状態が続くことを意味し、言葉をかえれば

、デフォルトの遷移先が自分自身であることを意味する。待機状態 3 0 で、制御回路 1 1 から書込みコマンド P G R M C M D を受け取ると、状態遷移ロジック部 1 2 は、初期化状態 3 1 に遷移するよう動作する。

#### 【 0 0 4 8 】

初期化状態 3 1 は、メモリセルへの書込みに先立って書込み準備を行う状態であり、状態コードに“1”が割り当てられ、滞留期間に“2”が割り当てられている。ここでは、書込みマスクや状態フラグの初期化が行われる。具体的には、メモリセルへの書込み用マスクデータがリセットされ、エラーフラグ E R R がリセットされ、ベリファイフラグ P V は N G に設定され、書込みカウントフラグ C T O V R は F A L S E に設定される。

#### 【 0 0 4 9 】

初期化状態 3 1 では、割込みコマンドである P S U S C M D コマンドが入力されない限り、状態遷移ロジック部 1 2 は、内部クロックが 2 サイクルを経過すると自動的にプログラム状態 3 2 に遷移するよう動作する。

#### 【 0 0 5 0 】

プログラム状態 3 2 は、メモリセルへの書込みを実際に行う状態であり、状態コードに“2”が割り当てられ、滞留期間に“8 0”が割り当てられている。1 回の書込み時間が経過し、メモリセルへの書込みが終了すると、書込みカウンタがカウントアップされる。

#### 【 0 0 5 1 】

後述するベリファイ状態 3 3 でメモリセルへの書込みが十分でないと判定されると、再度このプログラム状態 3 2 に遷移してきて、同じメモリセルに再書込みが行われ、書込みカウンタがさらにカウントアップされる。こうして、この値があらかじめ定められたプログラム回数を越えると、状態フラグ C T O V R が T R U E に設定される。これは、メモリセルに欠陥などがあり、一定時間以上をかけても書込みができなかったことを意味している。

#### 【 0 0 5 2 】

プログラム状態 3 2 では、P S U S C M D コマンドが入力されない限り、状態遷移ロジック部 1 2 は、内部クロックが 8 0 サイクルを経過すると自動的にベリ

ファイ状態 33 に遷移するよう動作する。

#### 【0053】

ベリファイ状態 33 は、直前のプログラム状態 32 で書き込んだメモリセルから読出しを行い、セルトランジスタのしきい値が十分変化しているかを調べる状態である。状態コードに“3”が割り当てられ、滞留期間に“15”が割り当てられている。読出しは 8 ビットまたは 16 ビットが同時に行われ、これらすべてのビットが書込みデータと一致したときに、状態フラグ PV が OK に設定される。

#### 【0054】

状態遷移ロジック部 12 は、PSUSCMD コマンドの入力がなく、滞留期間を経過すると、まず、状態フラグ PV を調べ、これが OK であれば、後処理状態 34 に遷移するよう動作する。また、状態フラグ PV が NG の場合には、次に、状態フラグ CTOVR を調べ、これが FALSE であれば、再度メモリセルへの書込みを行うため、マスクデータを設定し直した後、プログラム状態 32 へ遷移するよう動作する。

#### 【0055】

マスクデータとは、プログラム状態 32 で実際に書込みを行うビットを示すもので、ベリファイ状態 33 で書込みデータと一致したビットはこのマスクデータをセットして、実際のメモリセルへの書込みを行わないようにする。

#### 【0056】

状態遷移ロジック部 12 は、ベリファイ状態 33 において、状態フラグ PV が NG で、かつ、状態フラグ CTOVR が TRUE である場合には、エラーフラグ ERR をセットした後、後処理状態 34 に遷移するよう動作する。エラーフラグ ERR は、一定時間以上かけても書込みができなかったことを示すフラグで、少なくともこの書込みアドレスに対応したメモリセルはこれ以降使用できないことを示している。

#### 【0057】

後処理状態 34 は、書込みレベルのワード線を通常レベルに戻すなどの後処理を行う状態で、状態コードに“4”が割り当てられ、滞留期間に“13”が割り



当てられている。後処理状態 34 では、P S U S C M D コマンドが入力されない限り、状態遷移ロジック部 12 は、内部クロックが 13 サイクルを経過すると自動的に待機状態 30 に遷移するよう動作し、P G R M C M D コマンドの入力で始まった一連の書込み動作が終了する。

#### 【0058】

初期化状態 31、プログラム状態 32、ベリファイ状態 33、および、後処理状態 34 で、P S U S C M D コマンドが入力されると、状態遷移ロジック部 12 はサスペンド状態 35 に遷移するよう動作する。サスペンド状態 35 には、状態コード“5”が割り当てられている。この状態では、現在の書込みアドレスを含めて任意のメモリセルの読出しが行える。また、サスペンド状態 35 でプログラムレジュームコマンド P R S M C M D が入力されると、書込み動作の初期化状態 31 に復帰することができる。

#### 【0059】

上述したような構成の半導体装置において、たとえば、期待値レジスタ 16 に期待値“2”を設定して、書込み動作を評価する場合を説明する。

#### 【0060】

まず、データ入力端子 I / O 19 に期待値“2”を与え、制御入力端子 C M D 18 に期待値設定コマンドを入力すると、制御回路 11 により入力バッファ 15 を介して期待値レジスタ 16 に期待値“2”が設定される。次に、制御入力端子 C M D 18 に自動プログラムコマンドが入力されると、制御回路 11 は、これを受け取り、同時に書込みアドレスと書込みデータを内部にラッチし、状態遷移ロジック部 12 へ書込みコマンド P G R M C M D を発行する。

#### 【0061】

これを受けた状態遷移ロジック部 12 は、図 2 の状態遷移図に従って、順次状態コードレジスタ 14 の内容を更新していく。すなわち、状態遷移ロジック部 12 は、書込みコマンド P G R M C M D を受け取ると、待機状態 30 から初期状態 31 に遷移し、2 サイクル後にプログラム状態 32 に遷移するよう動作する。

#### 【0062】

このプログラム状態 32 では、期待値レジスタ 16 と状態コードレジスタ 14

の内容（この例では“2”）が一致し、比較回路17が一致信号を出力端子EQ20を介して出力する。この一致信号を監視することで、内部状態がプログラム状態に到達したタイミングを正確に把握することができる。状態遷移が進み、ベリファイ状態33になると、一致信号は出力されなくなる。

#### 【0063】

上述した一連の書込み動作が終了して待機状態30に戻ったら、再度、自動プログラムコマンドを入力することで、上記の動作が繰り返され、内部状態がプログラム状態32になるたびに、一致信号が出力される。

#### 【0064】

このようにして、所望の内部状態に対応した期待値を入力することで、その内部状態に入るたびに一致信号を得ることができる。

#### 【0065】

上記第1の実施形態によれば、任意の内部状態に対応した一致信号を得ることができ、これを外部トリガ信号として利用できるのも、所望の内部状態を容易に評価、解析でき、特に、不揮発性メモリセルからなるメモリ部を有した半導体装置の書込み動作、消去動作など、実行時間の長い一連の動作を効率良く評価、解析でき、開発効率を大幅に向上させることができる。

#### 【0066】

（第2の実施形態）

図3は、本発明の第2の実施形態に係わる半導体装置を示す回路ブロック図である。ここでは、第1の実施形態と同様に、不揮発性メモリ装置の書込み動作とPUSコマンドを用いて、本発明に係わる状態遷移制御機構を説明する。メモリセル部に関連する回路ブロックや動作の詳細は、一般的な不揮発性メモリ装置と同様なので省略する。

#### 【0067】

図3に示すように、本発明の半導体装置は、外部からの信号を受けてコマンドや制御信号を生成する制御回路51、現在の内部状態や入力されたコマンドに基づいて次の内部状態を決定する状態遷移ロジック部52、現在の内部状態での滞留期間をカウントするタイマー回路53、現在の内部状態を保持する状態コード

レジスタ 54、外部から入力されたデータを保持する入力バッファ 55、検出すべき内部状態を保持する期待値レジスタ 56、現在の内部状態と期待値を比較し一致信号を出力する比較回路 57、を持っている。

#### 【0068】

内部状態、状態コード、期待値などの用語の定義は、第1の実施形態と同様である。

#### 【0069】

制御回路 51は、制御入力端子 CMD 58を持ち、入力コマンドに基づいて、所望の内部状態遷移を指示するコマンドを生成し、これを状態遷移ロジック部 52に出力する。また、現在の内部状態と入力コマンドに基づいて、状態遷移ロジック部 52および入力バッファ 55をはじめとする本半導体装置内にある各回路ブロックの制御に必要な制御信号を生成し、コントロールバスなどを介してそれぞれの回路ブロックに供給する。

#### 【0070】

状態遷移ロジック部 52は、現在の内部状態と制御回路 51から受け取ったコマンドとタイマー回路 53から受け取ったカウント値とをもとに、内部クロックの次のサイクルで遷移すべき内部状態を決定し、これを状態コードとして状態コードレジスタ 54に出力する。また、新しい内部状態に遷移したときに、あらかじめ定められているその内部状態の滞留期間をタイマー回路 53に通知する。

#### 【0071】

タイマー回路 53は、新しい内部状態へ遷移したときに、状態遷移ロジック部 52からその内部状態の滞留期間を内部クロックのサイクル数として受け取り、これを内部クロックに同期してカウントダウンしながら状態遷移ロジック部 52へカウント値としてフィードバックする。

#### 【0072】

また、タイマー回路 53は、比較回路 57から一致信号を受け取った時には、カウントダウンを停止する。

#### 【0073】

状態コードレジスタ 54は、内部クロックに同期して状態遷移ロジック部 52

から受け取った現在の状態コードを保持し、これを状態遷移ロジック部 52 にフィードバックするとともに、制御回路 51 および比較回路 57 に出力する。

#### 【0074】

入力バッファ 55 は、データ入力端子 I/O 59 を持ち、制御回路 51 からの信号に従って、入力されたデータを取り込むと同時に、これを期待値として期待値レジスタ 56 に出力する。通常の手書きデータなども同じデータ入力端子 I/O 59 と入力バッファ 55 を使用するが、これらは制御回路 51 によってデータバスへ出力される。

#### 【0075】

期待値レジスタ 56 は、入力バッファ 55 から受け取った期待値を保持し、これを比較回路 57 へ出力する。

#### 【0076】

比較回路 57 は、状態コードレジスタ 54 が保持する状態コードと、期待値レジスタ 56 が保持する期待値とを受け取り、これらを比較し一致すれば一致信号をタイマー回路 53 に出力する。また、この一致信号は出力端子 EQ 60 を介して出力される。

#### 【0077】

このような構成の状態遷移制御機構による通常の状態遷移は、第 1 の実施形態の図 2 と同様なので、詳しい説明は省略する。

#### 【0078】

次に、期待値レジスタ 56 に期待値 “2” を設定して、書き込み動作を評価する場合を説明する。

#### 【0079】

まず、データ入力端子 I/O 59 に期待値 “2” を与え、制御入力端子 CMD 58 に期待値設定コマンドを入力すると、制御回路 51 により入力バッファ 55 を介して期待値レジスタ 56 に期待値 “2” が設定される。次に、制御入力端子 CMD 58 に自動プログラムコマンドが入力されると、制御回路 51 は、これを受け取り、同時に書き込みアドレスと書き込みデータを内部にラッチし、状態遷移ロジック部 52 へ書き込みコマンド PGRMCMD を発行する。

**【0080】**

これを受けた状態遷移ロジック部52は、図2の状態遷移図に従って、順次状態コードレジスタ54の内容を更新していく。すなわち、状態遷移ロジック部52は、書込みコマンドPGRMCMDを受け取ると、待機状態30から初期状態31に遷移し、2サイクル後にプログラム状態32に遷移するよう動作する。

**【0081】**

このプログラム状態32では、期待値レジスタ56と状態コードレジスタ54の内容（この例では“2”）が一致し、比較回路57が一致信号をタイマー回路53および出力端子EQ60に出力する。

**【0082】**

タイマー回路53は、一致信号を受け取ると、これ以降内部クロックに同期したカウントダウンを停止する。これにより、状態遷移ロジック部52に制御回路51からのPSUSCMDコマンドが入力されない限り、状態遷移は事実上停止することになる。

**【0083】**

すなわち、プログラム状態32に入ると、まず、状態遷移ロジック部52はタイマー回路53にこの状態の滞留期間“80”を設定する。次に、タイマー回路53は、比較回路57からの一致信号を受けて、内部クロックの入力をディセーブルにする。このため、タイマー回路53でのカウントダウンは行われず、PSUSCMDコマンドが入力されない限り、内部状態はこのプログラム状態32に留まったままとなる。

**【0084】**

このようにして、初期状態31から後処理状態34までの所望の内部状態に対応した期待値を期待値レジスタ56に設定することで、その内部状態に入ったところで状態遷移を停止し、その状態でのワード線の電圧レベル、各信号線のロジックレベルなどを針あたり等の手法により観察することができる。また、出力端子EQ60を介して取り出した一致信号に同期して、外部からPSUSコマンドおよびレジュームコマンドを制御入力端子CMD58に与えることで、制御回路51にPSUSCMDコマンドおよびPRSMCMDコマンドを発行させ、上記

の動作を繰り返し行わせることもできる。

#### 【0085】

上記第2の実施形態によれば、任意の内部状態に対応した期待値を入力することで、所望の内部状態で状態遷移を停止することができるので、内部針あたりなどの手法により、所望の内部状態での信号レベルを容易に確認することができる。特に、不揮発性のメモリセル部を有した半導体装置の書込み動作、消去動作など、実行時間の長い一連の動作を効率良く評価、解析でき、開発効率を大幅に向上させることができる。

#### 【0086】

上記第2の実施形態では、期待値比較により停止した内部状態からの状態遷移はPUSCMDコマンドによるとしたが、本発明はこれに限られるものではない。たとえば、テストモードでの割込みコマンドを新たに追加して、各内部状態から待機状態30などへ遷移できるようにしてもよい。

#### 【0087】

(第3の実施形態)

図4は、本発明の第3の実施形態に係わる半導体装置を示す回路ブロック図である。ここでは、第1の実施形態と同様に、不揮発性メモリ装置の書込み動作とPUSコマンドを用いて、本発明に係わる状態遷移制御機構を説明する。メモリセル部に関連する回路ブロックや動作の詳細は、一般的な不揮発性メモリ装置と同様なので省略する。

#### 【0088】

図4に示すように、本発明の半導体装置は、外部からの信号を受けてコマンドや制御信号を生成する制御回路71、現在の内部状態や入力されたコマンドに基づいて次の内部状態を決定する状態遷移ロジック部72、現在の内部状態での滞留期間をカウントするタイマー回路73、現在の内部状態を保持する状態コードレジスタ74、外部から入力されたデータを保持する入力バッファ75、検出すべき内部状態を保持する期待値レジスタ76、現在の内部状態と期待値を比較し一致信号を出力する比較回路77、一致信号を受けて内部割込みを発生する内部割込み発生回路78、を持っている。

**【0089】**

内部状態、状態コード、期待値などの用語の定義は、第1の実施形態と同様である。

**【0090】**

制御回路71は、制御入力端子CMD79を持ち、入力コマンドに基づいて、所望の内部状態遷移を指示するコマンドを生成し、これを状態遷移ロジック部72および内部割込み発生回路78に出力する。また、現在の内部状態と入力コマンドに基づいて、状態遷移ロジック部72、入力バッファ75、および内部割込み発生回路78をはじめとする本半導体装置内にある各回路ブロックの制御に必要な制御信号を生成し、コントロールバスなどを介してそれぞれの回路ブロックに供給する。

**【0091】**

状態遷移ロジック部72は、現在の内部状態と制御回路71から受け取ったコマンドとタイマー回路73から受け取ったカウント値とをもとに、内部クロックの次のサイクルで遷移すべき内部状態を決定し、これを状態コードとして状態コードレジスタ74に出力する。また、新しい内部状態に遷移したときに、あらかじめ定められているその内部状態の滞留期間をタイマー回路73に通知する。

**【0092】**

タイマー回路73は、新しい内部状態へ遷移したときに、状態遷移ロジック部72からその内部状態の滞留期間を内部クロックのサイクル数として受け取り、これを内部クロックに同期してカウントダウンしながら状態遷移ロジック部72へカウント値としてフィードバックする。

**【0093】**

状態コードレジスタ74は、内部クロックに同期して状態遷移ロジック部72から受け取った現在の状態コードを保持し、これを状態遷移ロジック部72にフィードバックするとともに、制御回路71および比較回路77に出力する。

**【0094】**

入力バッファ75は、データ入力端子I/O80を持ち、制御回路71からの信号に従って、入力されたデータを取り込むと同時に、これを期待値として期待

値レジスタ 76 に出力する。通常の手込みデータなども同じデータ入力端子 I/O 80 と入力バッファ 75 を使用するが、これらは制御回路 71 によってデータバスへ出力される。

#### 【0095】

期待値レジスタ 76 は、入力バッファ 75 から受け取った期待値を保持し、これを比較回路 77 へ出力する。

#### 【0096】

比較回路 77 は、状態コードレジスタ 74 が保持する状態コードと、期待値レジスタ 76 が保持する期待値とを受け取り、これらを比較し一致すれば一致信号（以下、eqstate 信号という）を内部割込み発生回路 78 に出力する。また、eqstate 信号は出力端子 EQ 81 を介して出力される。

#### 【0097】

内部割込み発生回路 78 は、比較回路 77 からの eqstate 信号と、制御回路 71 からの TEST コマンドおよび SUSPEND コマンドを受け取ると、状態遷移ロジック部 72 に PSUSCMD コマンドを出力する。図 5 は、本発明の第 3 の実施形態に係わる半導体装置の内部割込み発生回路を示す回路図である。

#### 【0098】

内部割込み発生回路 78 は、図 5 に示すように、AND ゲート 90 と OR ゲート 91 から構成される。AND ゲート 90 の一方の入力には比較回路 77 からの eqstate 信号が入力され、他方の入力には制御回路 71 からの TEST コマンドが入力され、出力は OR ゲート 91 の一方の入力に接続されている。OR ゲート 91 の他方の入力には制御回路 71 からの SUSPEND コマンドが入力され、出力は PSUSCMD コマンドとして状態遷移ロジック部 72 に入力されている。

#### 【0099】

TEST コマンドは、この半導体装置がテストモードで動作していることを示す信号で、制御入力端子 CMD 79 にテストコマンドが入力されることで、制御回路 71 で生成される。半導体装置が通常モードで動作しているときは、TES



T コマンドは” L ” になっている。

【0100】

S U S P E N D コマンドは、制御入力端子 C M D 7 9 に P S U S コマンドが与えられたときに制御回路 7 1 で生成される信号である。

【0101】

図 5 の内部割込み発生回路 7 8 を用いれば、通常モードのときには従来と同様の動作をし、テストモードのときには、期待値レジスタ 7 6 に設定した内部状態に応じて自動的に割込みコマンド P S U S C M D を発生することができる。

【0102】

このような構成の状態遷移制御機構では、通常の状態遷移は、第 1 の実施形態の図 2 と同様なので、詳しい説明は省略する。

【0103】

次に、期待値レジスタ 7 6 に期待値 “ 2 ” を設定して、書込み動作を評価する場合を説明する。

【0104】

まず、制御入力端子 C M D 7 9 にテストモード設定コマンドを与え、半導体装置をテストモードにする。この時、制御回路 7 1 は T E S T コマンドを” H ” にする。

【0105】

次に、データ入力端子 I / O 8 0 に期待値 “ 2 ” を与え、制御入力端子 C M D 7 9 に期待値設定コマンドを入力すると、制御回路 7 1 により入力バッファ 7 5 を介して期待値レジスタ 7 6 に期待値 “ 2 ” が設定される。次に、制御入力端子 C M D 7 9 に自動プログラムコマンドが入力される。制御回路 7 1 は、これを受け取り、同時に書込みアドレスと書込みデータを内部にラッチし、状態遷移ロジック部 7 2 へ書込みコマンド P G R M C M D を発行する。

【0106】

これを受けた状態遷移ロジック部 7 2 は、図 2 の状態遷移図に従って、順次状態コードレジスタ 7 4 の内容を更新していく。すなわち、状態遷移ロジック部 7 2 は、書込みコマンド P G R M C M D を受け取ると、待機状態 3 0 から初期状態

31に遷移し、2サイクル後にプログラム状態32に遷移するよう動作する。

#### 【0107】

このプログラム状態32では、期待値レジスタ76と状態コードレジスタ74の内容（この例では“2”）が一致し、比較回路77はeqstate信号を内部割込み発生回路78に出力する。

#### 【0108】

これを受けた内部割込み発生回路78は、PSUSCMDコマンドを“H”にして、割込みが発生したことを状態遷移ロジック部72に通知する。PSUSCMDコマンドを受け取ると、状態遷移ロジック部72は、次の内部クロックに同期して、内部状態をサスペンド状態35にするように状態コードを出力する。こうして内部状態はサスペンド状態35に遷移する。

#### 【0109】

ここで、出力端子EQ81からの出力を受けて、外部から期待値レジスタ76を“3”に更新し、レジュームコマンドPRSMCMDを入力すれば、状態遷移は、初期化状態31→プログラム状態32→ベリファイ状態33と進み、再び、内部割込みにより、サスペンド状態35に戻ってくることになる。

#### 【0110】

このようにして、所望の内部状態に対応した期待値を順次入力することで、外部割込みコマンドを入力することなく、任意の内部状態からの割込みコマンドによる遷移パスをすべて評価することができる。

#### 【0111】

上記第3の実施形態によれば、初期状態31から後処理状態34までの任意の内部状態に対応した期待値を入力することで、外部からの割込みコマンドを入力することなく、所望の内部状態からの割込みによる状態遷移をシミュレートすることができるので、すべての状態遷移パスを効率良く評価でき、開発効率を大幅に向上させることができる。

#### 【0112】

上記第1から第3の実施形態では、一例として、不揮発性のメモリセル部を有する半導体装置の書込み動作を説明したが、本発明はこれに限られるものではな

く、状態遷移機構を有し、少なくとも一部の状態遷移が、内部タイマー回路などで自律的に行われる半導体装置に広く適用することができる。また、内部状態の分割方法も図2に限られるものではない。

#### 【0113】

さらに、期待値として検出すべき状態コードを用いているが、これに検出すべきタイマー回路のカウント値を追加してもよい。このようにすれば、所望の内部状態に入った時点だけでなく、その状態に入ってから一定の滞留期間が経過した時点で一致信号を出力させることができる。

#### 【0114】

さらに、従来の半導体装置との互換性を保つために、比較回路による一致信号の出力をテストモードのときに限定することもできる。

#### 【0115】

##### 【発明の効果】

以上説明したように本発明によれば、所望の内部状態に遷移したときに一致信号が出力されるので、状態遷移制御機構による状態遷移を効率良く評価、解析でき、開発効率を大幅に向上させることができる。

##### 【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係わる半導体装置を示す回路ブロック図。

【図2】 本発明の第1の実施形態に係わる半導体装置の状態遷移図。

【図3】 本発明の第2の実施形態に係わる半導体装置を示す回路ブロック図。

【図4】 本発明の第3の実施形態に係わる半導体装置を示す回路ブロック図。

【図5】 本発明の第3の実施形態に係わる半導体装置の内部割込み発生回路を示す回路図。

【図6】 従来の半導体装置における不揮発性メモリセルへの書込み動作を示すフローチャート。

##### 【符号の説明】

11、51、71 制御回路

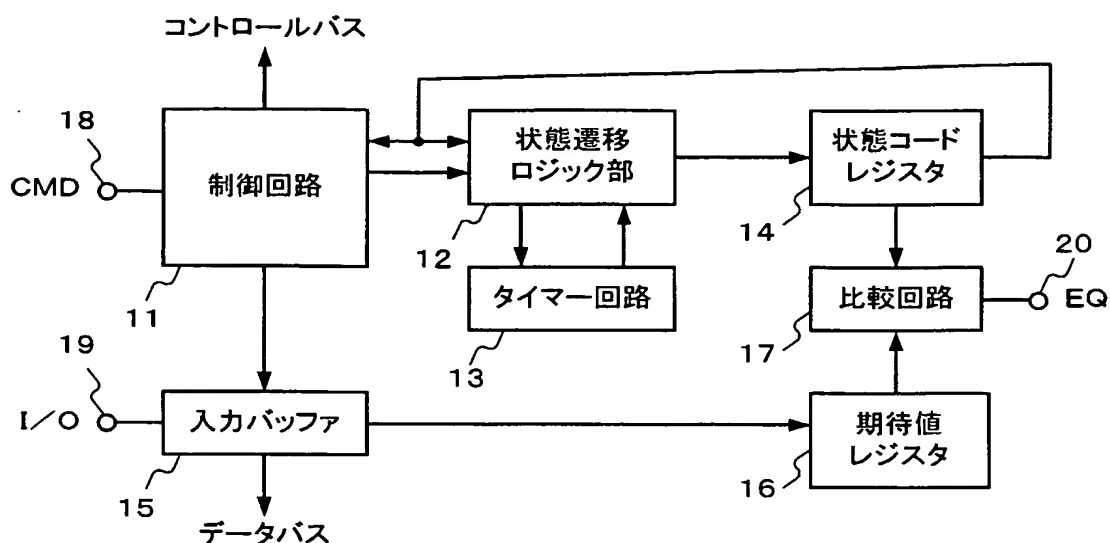
12、52、72 状態遷移ロジック部

13、53、73 タイマー回路

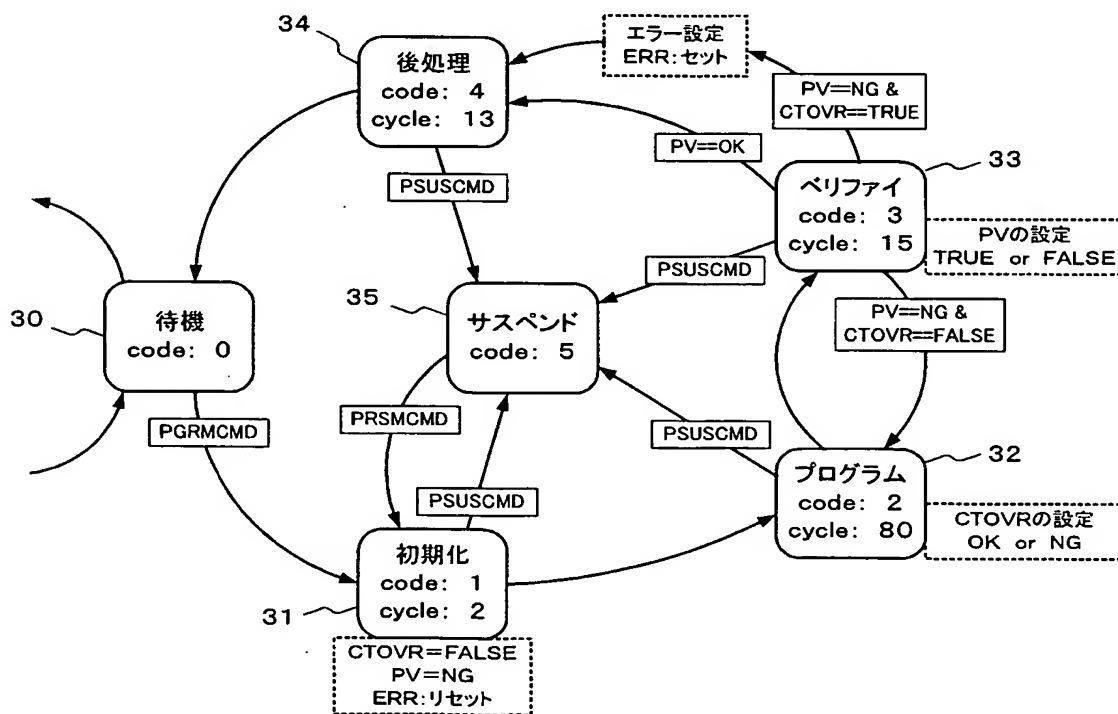
- 1 4、5 4、7 4 状態コードレジスタ
- 1 5、5 5、7 5 入力バッファ
- 1 6、5 6、7 6 期待値レジスタ
- 1 7、5 7、7 7 比較回路
- 1 8、5 8、7 9 制御入力端子
- 1 9、5 9、8 0 データ入力端子
- 2 0、6 0、8 1 一致信号出力端子
- 3 0 待機状態
- 3 1 初期化状態
- 3 2 プログラム状態
- 3 3 ベリファイ状態
- 3 4 後処理状態
- 3 5 サスペンド状態
- 7 8 内部割込み発生回路
- 9 0 ANDゲート
- 9 1 ORゲート

【書類名】 図面

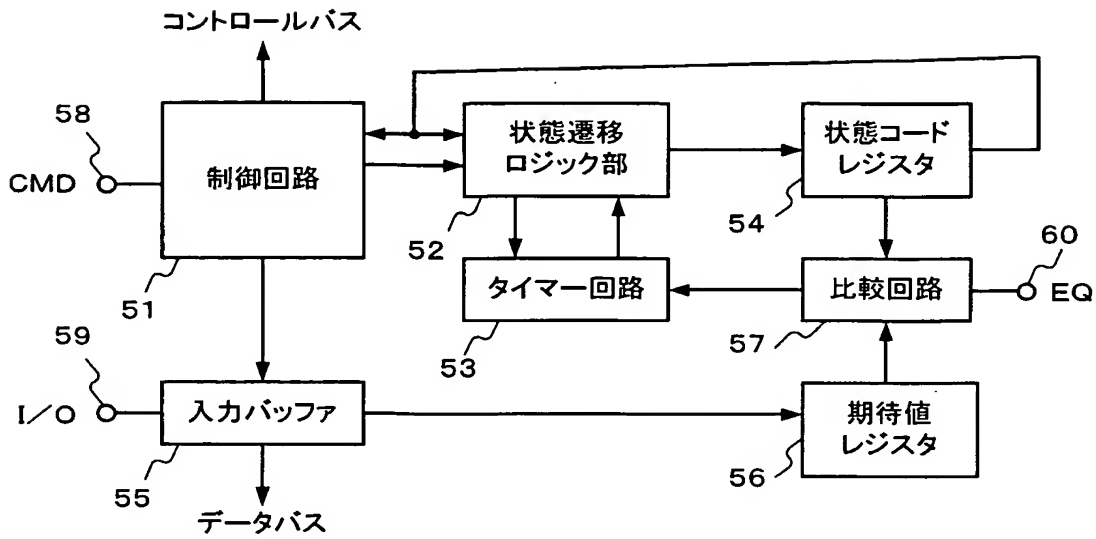
【図 1】



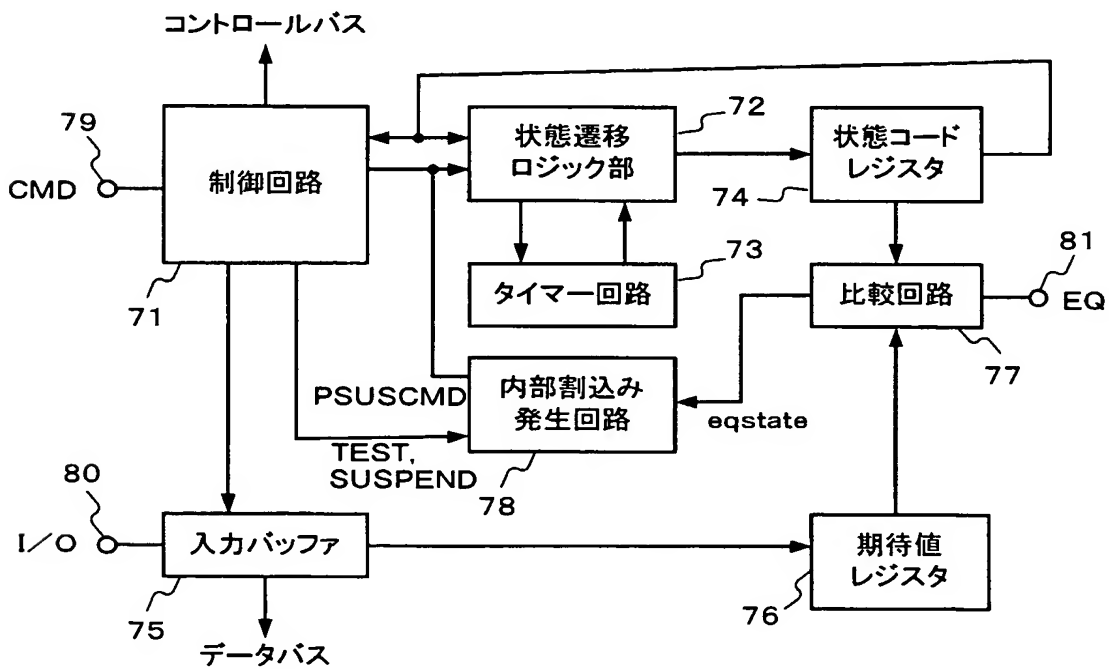
【図 2】



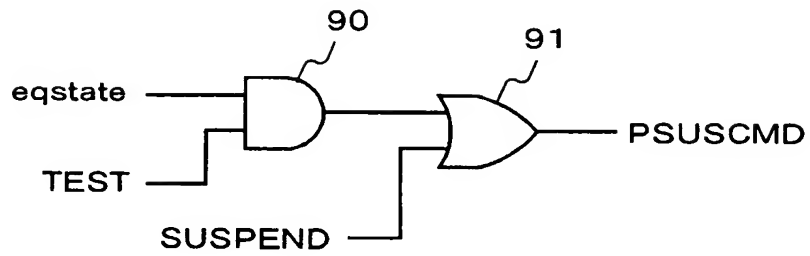
【図 3】



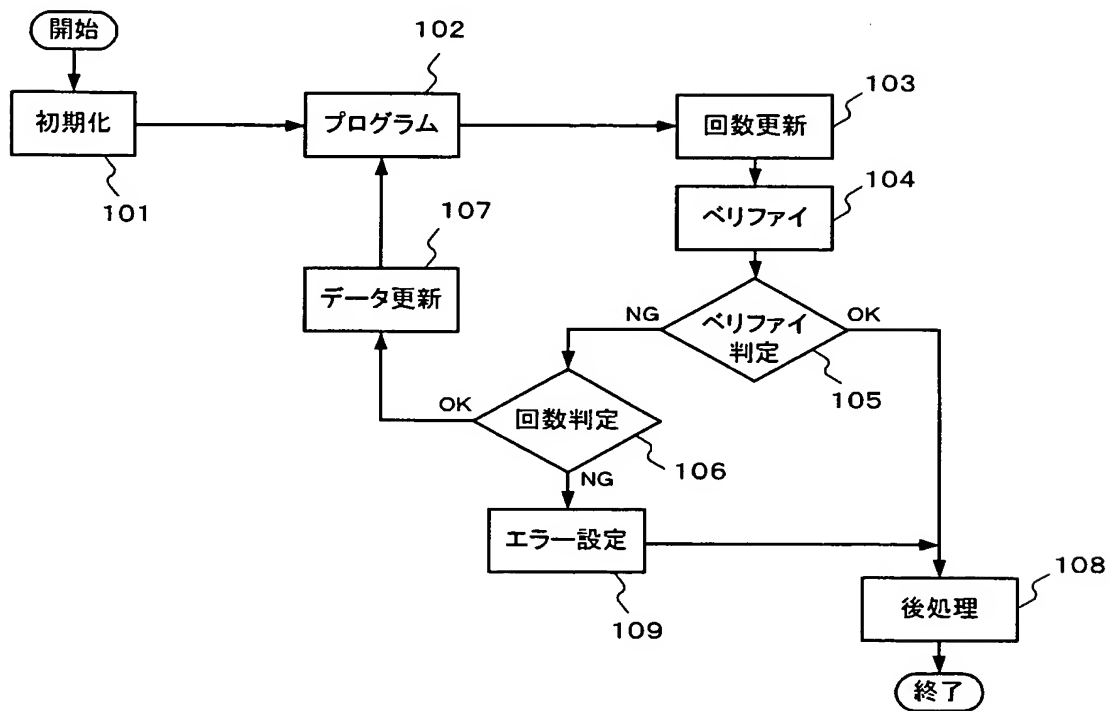
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 本発明は、状態遷移制御機構による状態遷移を容易に評価、解析することができる半導体装置を提供する。

【解決手段】 本発明の半導体装置は、状態コードを保持する状態コードレジスタ 14 と、状態コードと所望の状態を指示するコマンドとが入力され、次に遷移すべき内部状態の状態コードを決定し、決定した状態コードを状態コードレジスタ 14 に設定する状態遷移ロジック手段 12 と、検出したい内部状態を期待値コードとして保持する期待値レジスタ 16 と、状態コードレジスタ 14 に設定された状態コードと期待値レジスタ 16 の期待値コードとを比較し、これらが一致したときに一致信号を出力する比較手段 17 と、を有する。

【選択図】 図 1



認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 1 9 6 9 6
受付番号	5 0 3 0 0 1 3 6 4 1 6
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 1 月 3 0 日

< 認定情報・付加情報 >

【提出日】 平成15年 1月29日

次頁無

特願 2 0 0 3 - 0 1 9 6 9 6

出 願 人 履 歷 情 報

識別番号

[ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝